

## TRANSPORT STREAM PROCESSOR

Patent Number: JP2000083064

Publication date: 2000-03-21

Inventor(s): OKAZAKI WAKAHIKO

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Requested Patent:  JP2000083064

Application Number: JP19990181925 19990628

Priority Number(s):

IPC Classification: H04L12/56; H04J3/00; H04J3/04; H04N7/08; H04N7/081; H04N7/24; H04N7/16

EC Classification:

Equivalents:

---

### Abstract

---

PROBLEM TO BE SOLVED: To make a circuit scale small and also to reduce the burden on a CPU.

SOLUTION: When plural transport streams are inputted to plural transport packet processing circuits 21 and 22, the circuits 22 select image and sound data from a specified transport stream and any of data of service, etc., except an image and sound and output them to a memory controller 23. Also, the transport packet processing circuit 21 selects only data of service, etc., except an image and sound in a specified transport stream, outputs them to the memory controller 23, selects image and sound data and any of data of service, etc., except an image and sound in the specified transport stream and sends them to an external interface 25. The memory controller 23 writes plural pieces of inputted data in a common memory 24 while performing arbitration.

---

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-83064

(P 2 0 0 0 - 8 3 0 6 4 A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.C1. 7 識別記号 F I テーマコード (参考)

H04L 12/56	H04L 11/20	102	A
H04J 3/00	H04J 3/00		M
3/04	3/04		A
H04N 7/08	H04N 7/16		Z
7/081	7/08		Z

審査請求 未請求 請求項の数13 O L (全21頁) 最終頁に続く

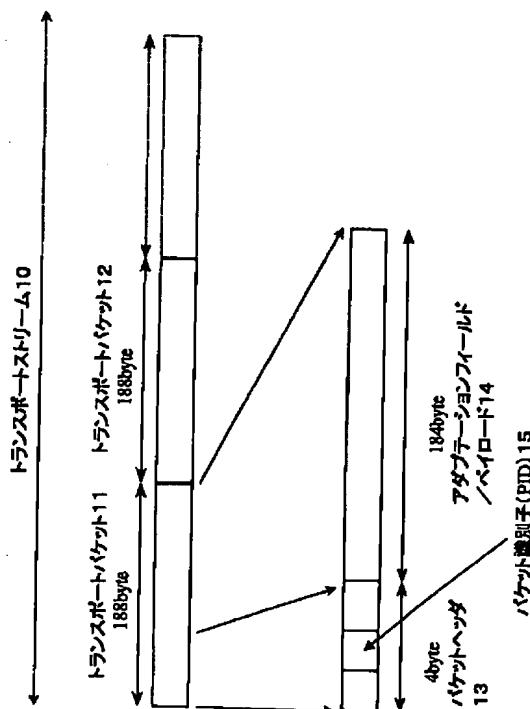
(21) 出願番号	特願平11-181925	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成11年6月28日 (1999.6.28)	(72) 発明者	岡崎 若彦 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31) 優先権主張番号	特願平10-183522	(74) 代理人	100076174 弁理士 宮井 咲夫
(32) 優先日	平成10年6月30日 (1998.6.30)		
(33) 優先権主張国	日本 (JP)		

(54) 【発明の名称】トランスポートストリーム処理装置

## (57) 【要約】

【課題】 回路規模を小さくするとともに、CPUの負担を軽減する。

【解決手段】 複数のトランスポートストリームを複数のトランスポートパケット処理回路21, 22に入力すると、トランスポートパケット処理回路22は、特定のトランスポートストリームの中から画像・音声データと画像・音声以外のサービス等のデータの中の何れかを選択してメモリコントローラ23へ出力する。また、トランスポートパケット処理回路21は、特定のトランスポートストリームの中から画像・音声以外のサービス等のデータのみを選択してメモリコントローラ23に出力し、特定のトランスポートストリームの中から画像・音声データと画像・音声以外のサービス等のデータの何れかを選択して外部インターフェース25へ送る。メモリコントローラ23は入力された複数のデータを調停を行いながら共通メモリ24に書き込む。



## 【特許請求の範囲】

【請求項1】 複数のトランSPORTストリームから必要なデータを各々選択する複数のトランSPORTパケット処理手段と、共通メモリと、前記複数のトランSPORTパケット処理手段から各々供給される複数のデータを前記複数のトランSPORTパケット処理手段からのメモリ書き込み要求を調停しながら前記共通メモリに書き込むメモリ制御手段とを備えたトランSPORTストリーム処理装置。

【請求項2】 トランSPORTストリームが画像・音声データと画像・音声以外のサービス等のデータを含み、複数のトランSPORTパケット処理手段のうちの一部のトランSPORTパケット処理手段が、前記トランSPORTストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要なデータを選択し、複数のトランSPORTパケット処理手段の中の残りのトランSPORTパケット処理手段が、前記トランSPORTストリームにおける画像・音声データ以外のサービス等のデータのみを選択するようにしたことを特徴とする請求項1記載のトランSPORTストリーム処理装置。

【請求項3】 トランSPORTストリームが画像・音声データと画像・音声以外のサービス等のデータを含み、外部へ前記トランSPORTストリームを出力する外部出力手段を設け、複数のトランSPORTパケット処理手段のうちの少なくとも一部のトランSPORTパケット処理手段が、前記トランSPORTストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要な第1のデータを選択してメモリ制御手段へ供給するとともに、前記第1のデータとは独立して前記トランSPORTストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要な第2のデータを選択して前記外部出力手段へ供給するようにしたことを特徴とする請求項1記載のトランSPORTストリーム処理装置。

【請求項4】 メモリ制御手段が外部のCPUから共通メモリへのアクセスを制御するようにしたことを特徴とする請求項1記載のトランSPORTストリーム処理装置。

【請求項5】 共有メモリがCPUのプログラム・データ領域を有することを特徴とする請求項4記載のトランSPORTストリーム処理装置。

【請求項6】 メモリ制御手段が外部のAVデコーダから共通メモリへのアクセスを制御するようにしたことを特徴とする請求項1記載のトランSPORTストリーム処理装置。

【請求項7】 共有メモリがAVデコーダのフレームメモリ領域を有することを特徴とする請求項6記載のトランSPORTストリーム処理装置。

【請求項8】 複数のトランSPORTストリームをそれぞれバッファリングする複数のバッファメモリと、

10 前記複数のバッファメモリから出力されるトランSPORTストリームを選択するセレクタと、前記セレクタで選択されたトランSPORTストリームが書き込まれるローカルメモリと、前記ローカルメモリから出力されるトランSPORTパケットからPIDフィルタリング等を行い必要なデータを取得するトランSPORTパケット処理回路と、前記トランSPORTパケット処理回路への動作用クロックの供給を制御するクロックコントローラと、前記複数のバッファメモリと前記セレクタと前記ローカルメモリとを制御し、前記ローカルメモリのトランSPORTパケット出力が前記複数のバッファメモリのうちのどのバッファメモリから出力されているかを前記トランSPORTパケット処理回路における必要なデータの選択のために前記トランSPORTパケット処理回路に通知し、前記ローカルメモリから前記トランSPORTパケット処理回路へのトランSPORTパケットデータの入力開始および入力終了を前記クロックコントローラに通知するローカルメモリコントローラとを備え、

20 前記ローカルメモリコントローラにおける前記複数のバッファメモリと前記セレクタと前記ローカルメモリとの制御は、前記複数のバッファメモリがオーバーフローしないように前記セレクタの選択状態を切り替えながら前記複数のバッファメモリのデータを前記ローカルメモリに書き込み、前記ローカルメモリに書き込まれたデータがトランSPORTパケット単位になったときに前記ローカルメモリに書き込まれたデータを前記トランSPORTパケット処理回路へ出力し、前記ローカルメモリに蓄積されているデータがトランSPORTパケット単位より小さくなったときに前記ローカルメモリに書き込まれたデータの前記トランSPORTパケット処理回路への出力を停止するように行い、

30 前記クロックコントローラは、前記ローカルメモリコントローラからトランSPORTパケットデータの入力開始の通知を受けると、クロックの前記トランSPORTパケット処理回路への供給を開始し、トランSPORTパケットデータの入力終了の通知を受けると、前記クロックの前記トランSPORTパケット処理回路への供給を停止することを特徴とするトランSPORTストリーム処理装置。

40 【請求項9】 クロックコントローラは、外部のCPUから値を設定できるレジスタを有し、前記レジスタの設定値によりクロックの周波数を制御することができ、前記クロックの供給の開始・停止に代え、前記ローカルメモリコントローラからトランSPORTパケットデータの入力開始の通知を受けると、前記クロックの周波数を高くし、トランSPORTパケットデータの入力終了の通知を受けると、前記クロックの周波数を低くすることを特徴とする請求項8記載のトランSPORTストリーム処理装置。

【請求項10】 複数のトランSPORTストリームをPIDフィルタリングして必要なトランSPORTストリームをそれぞれ出力する複数のPIDフィルタと、前記複数のPIDフィルタから出力されるトランSPORTストリームをそれぞれバッファリングする複数のバッファメモリと、前記複数のバッファメモリから出力されるトランSPORTストリームを選択するセレクタと、前記セレクタで選択されたトランSPORTストリームが書き込まれるローカルメモリと、前記ローカルメモリから出力されるトランSPORTパケットから必要なデータを取得するトランSPORTパケット処理回路と、前記トランSPORTパケット処理回路への動作用クロックの供給を制御するクロックコントローラと、前記複数のバッファメモリと前記セレクタと前記ローカルメモリとを制御し、前記ローカルメモリのトランSPORTパケット出力が前記複数のバッファメモリのうちのどのバッファメモリから出力されているかを前記トランSPORTパケット処理回路における必要なデータの選択のために前記トランSPORTパケット処理回路に通知し、前記ローカルメモリから前記トランSPORTパケット処理回路へのトランSPORTパケットデータの入力開始および入力終了を前記クロックコントローラに通知するローカルメモリコントローラとを備え、前記ローカルメモリコントローラにおける前記複数のバッファメモリと前記セレクタと前記ローカルメモリとの制御は、前記複数のバッファメモリがオーバーフローしないように前記セレクタの選択状態を切り替えながら前記複数のバッファメモリのデータを前記ローカルメモリに書き込み、前記ローカルメモリに書き込まれたデータがトランSPORTパケット単位になったときに前記ローカルメモリに書き込まれたデータを前記トランSPORTパケット処理回路へ出力し、前記ローカルメモリに蓄積されているデータがトランSPORTパケット単位より小さくなったときに前記ローカルメモリに書き込まれたデータの前記トランSPORTパケット処理回路への出力を停止するように行い、前記クロックコントローラは、前記ローカルメモリコントローラからトランSPORTパケットデータの入力開始の通知を受けると、クロックの前記トランSPORTパケット処理回路への供給を開始し、トランSPORTパケットデータの入力終了の通知を受けると、前記クロックの前記トランSPORTパケット処理回路への供給を停止することを特徴とするトランSPORTストリーム処理装置。

【請求項11】 クロックコントローラは、外部のCPUから値を設定できるレジスタを有し、前記レジスタの設定値によりクロックの周波数を制御することができ、前記クロックの供給の開始・停止に代え、前記ローカル

メモリコントローラからトランSPORTパケットデータの入力開始の通知を受けると、前記クロックの周波数を高くし、トランSPORTパケットデータの入力終了の通知を受けると、前記クロックの周波数を低くすることを特徴とする請求項10記載のトランSPORTストリーム処理装置。

【請求項12】 複数のトランSPORTストリームをそれぞれバッファリングする複数のバッファメモリと、前記複数のバッファメモリからそれぞれ出力されるトランSPORTストリームを選択するセレクタと、前記セレクタで選択されたトランSPORTストリームをPIDフィルタリングして出力するPIDフィルタと、前記PIDフィルタから出力されたトランSPORTストリームが書き込まれるローカルメモリと、前記ローカルメモリから出力されるトランSPORTストリームから必要なデータを取得するトランSPORTパケット処理回路と、前記トランSPORTパケット処理回路への動作用クロックの供給を制御するクロックコントローラと、前記複数のバッファメモリと前記セレクタと前記ローカルメモリとを制御し、前記ローカルメモリのトランSPORTパケット出力が前記複数のバッファメモリのうちのどのバッファメモリから出力されているかを前記トランSPORTパケット処理回路における必要なデータの選択のために前記トランSPORTパケット処理回路に通知し、前記ローカルメモリから前記トランSPORTパケット処理回路へのトランSPORTパケットデータの入力開始および入力終了を前記クロックコントローラに通知するローカルメモリコントローラとを備え、前記ローカルメモリコントローラにおける前記複数のバッファメモリと前記セレクタと前記ローカルメモリとの制御は、前記複数のバッファメモリがオーバーフローしないように前記セレクタの選択状態を切り替えながら前記複数のバッファメモリのデータを前記ローカルメモリに書き込み、前記ローカルメモリに書き込まれたデータがトランSPORTパケット単位になったときに前記ローカルメモリに書き込まれたデータを前記トランSPORTパケット処理回路へ出力し、前記ローカルメモリに蓄積されているデータがトランSPORTパケット単位より小さくなったときに前記ローカルメモリに書き込まれたデータの前記トランSPORTパケット処理回路への出力を停止するように行い、前記クロックコントローラは、前記ローカルメモリコントローラからトランSPORTパケットデータの入力開始の通知を受けると、クロックの前記トランSPORTパケット処理回路への供給を開始し、トランSPORTパケットデータの入力終了の通知を受けると、前記クロックの前記トランSPORTパケット処理回路への供給を停止することを特徴とするトランSPORTストリーム処理装置。

【請求項13】クロックコントローラは、外部のCPUから値を設定できるレジスタを有し、前記レジスタの設定値によりクロックの周波数を制御することができ、前記クロックの供給の開始・停止に代え、前記ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、前記クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、前記クロックの周波数を低くすることを特徴とする請求項12記載のトランスポートストリーム処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル放送の分野で、放送局が衛星やケーブル等の通信媒体を使って伝送するトランスポートストリームと、デジタル記録再生機器等(D-VHSビデオテープレコーダ等)から出力されるトランスポートストリームとが同時に必要な場合において、トランスポートパケット(データ)の選択を行うのに好適なトランスポートストリーム処理装置に関するものである。

【0002】

【従来の技術】デジタル放送の分野では、放送局が衛星やケーブル等の通信媒体を使って映像・音声データや映像・音声以外のサービス等のデータをトランスポートパケットの形態でトランスポートストリームとして加入者に送信するようになっており、加入者は、トランスポートストリーム処理装置を用いて、映像・音声データや映像・音声以外のサービス等のデータの中から必要なデータをトランスポートパケット単位で選択し、選択したデータを外部のAVデコーダへ送ることでモニタで映像・音声を再生したり、あるいは外部のCPUへ送ることでサービス等の内容(メッセージ、番組表等)をCPUを介してモニタで表示するようになっている。

【0003】この中で、映像・音声以外のサービス等のデータのうち、放送局が送る加入者に対しての個人情報(例えば、メッセージ)等は、任意の時間に各個人宛てに送信される。また、加入者に対しての個人情報等は複数回再送される。しかしながら、特定の回数や特定の時間内で打ち切られるので、自分宛ての情報を複数回取り損なうと、放送局が自分宛てに送信した個人情報等を取得できなくなる。また、次回の自分宛ての情報を取得したとしても、個人情報等の連続性がなくなり、取得できなかつた個人情報等に加え、今まで受信した個人情報等も無駄な情報となってしまう可能性がある。

【0004】受信する側では、いつ自分に対しての情報が送られてくるかがわからず、再送の回数も限られるので、各加入者は、常時加入者全員の個人情報等を受信していて、この中から自分に対して発せられた個人情報等を選択的に取り込んで保存しなければならない。

【0005】しかし、現状のトランスポートストリーム

10

処理装置では、放送局から衛星あるいはケーブルを通して送られるトランスポートストリームとデジタル記録再生機器から出力されるトランスポートストリームとを、選択的にしか入力できないように構成されており、デジタル記録された画像データや音声データやその他のデータが含まれたトランスポートストリームをデジタル記録再生機器によって再生中は、放送局から加入者に対して送られた個人情報等が含まれたトランスポートストリームを受信して個人情報等を取得することができない構成となっている。

【0006】このような問題を回避し、放送局が加入者に対して送る個人情報等をデジタル記録再生機器を再生中であっても、必ず受信して個人情報等を取得できるようにするためには、放送局から衛星やケーブルを介して送られるトランスポートストリームとデジタル記録再生機器から送られるトランスポートストリームとを同時に処理する必要があり、そのためには、トランスポートストリーム処理装置にトランスポートストリームを処理する機能を複数持たせなければならない。

20

【0007】一方、他の従来例としての特願平8-75346号(特開平9-247237号公報参照)には、複数のストリームを複数の FIFOメモリを使いメモリ(2-PORTメモリを含む)に書き込み、その後シンタックス処理制御部で処理する方法や、複数のストリームを直接メモリ(2-PORTメモリを含む)に書き込み、その後シンタックス処理制御部で処理する方法が説明されている。

【0008】

30

【発明が解決しようとする課題】しかしながら、トランスポートストリームを処理する機能を独立して複数持つと、情報を保存しておくメモリも複数個必要となり、それに対応してメモリコントローラも複数個必要となり、メモリ相互間のデータのやり取りの処理の制御が複雑になる。その結果、トランスポートパケット処理回路の回路規模も大きくなりコストアップの原因となる。また、例えばCPUのプログラム・データ領域として使われるメモリとの間のデータ転送が多発し、データの管理が複雑になり、トランスポートストリームの処理にCPUの資源の多くを使用し、CPUの負担が大きくなってしまう。

40

【0009】一方、特願平8-75346号に記載の従来例については、PID(パケット識別子)フィルタリングをしないでメモリにトランスポートストリームを書き込むので、不要なデータを書き込むメモリアクセスが行われ、消費電力が増える。また、不要なデータが書き込まれるので、メモリの使用効率が悪く、余分なメモリ領域が必要となるという問題がある。

【0010】したがって、本発明の第1の目的は、回路規模を小さくすることができるトランスポートストリーム処理装置を提供することである。

50

【0011】また、本発明の第2の目的は、C P Uの負担を軽減することができるトランスポートストリーム処理装置を提供することである。

【0012】また、本発明の第3の目的は、低消費電力で動作させることができるトランスポートストリーム処理装置を提供することである。

### 【0013】

【課題を解決するための手段】本発明の請求項1のトランスポートストリーム処理装置は、複数のトランスポートストリームから必要なデータを各々選択する複数のトランスポートパケット処理手段と、共通メモリと、複数のトランスポートパケット処理手段から各々供給される複数のデータを複数のトランスポートパケット処理手段からのメモリ書き込み要求を調停しながら共通メモリに書き込むメモリ制御手段とを備えている。

【0014】この構成によれば、複数のトランスポートストリームを複数のトランスポートパケット処理手段にそれぞれ入力すると、各トランスポートパケット処理手段が各トランスポートストリームの中から必要なデータを同時に選択し、メモリ制御手段へ供給する。その結果、メモリ制御手段は入力された複数のトランスポートパケット処理手段からのデータを複数のトランスポートパケット処理手段からのメモリ書き込み要求を調停しながら共通メモリに書き込む。このようにして、複数のトランスポートストリームが入力されると、必要なデータが共通メモリに書き込まれる。

【0015】以上のように、複数のトランスポートパケット処理手段と単一の共通メモリと単一のメモリ制御手段を設け、複数のトランスポートパケット処理手段によって選択したデータを単一のメモリ制御手段を用いて単一の共通メモリに書き込むことにより、データを保存するためのメモリが一つで済み、トランスポートストリーム処理装置の規模を小さくすることができ、データ処理も単純になり、データ処理を制御するためのC P Uの負荷を軽減できる。

【0016】本発明の請求項2のトランスポートストリーム処理装置は、請求項1記載のトランスポートストリーム処理装置において、トランスポートストリームが画像・音声データと画像・音声以外のサービス等のデータを含み、複数のトランスポートパケット処理手段のうちの一部のトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要なデータを選択し、複数のトランスポートパケット処理手段の中の残りのトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データ以外のサービス等のデータのみを選択するようにしたことを特徴とする。

【0017】この構成によれば、複数のトランスポートストリームを入力すると、複数のトランスポートパケッ

10

ト処理手段のうちの一部のトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要なデータを選択し、複数のトランスポートパケット処理手段の中の残りのトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データ以外のサービス等のデータのみを選択し、メモリ制御手段へ供給する。その結果、メモリ制御手段は入力された複数のデータを複数のトランスポートパケット処理手段からのメモリ書き込み要求を調停しながら共通メモリに書き込む。

20

【0018】このようにして、複数のトランスポートストリームが入力されると、各トランスポートストリームにおいて、各々必要なデータが共通メモリに書き込まれる。この際、複数のトランスポートパケット処理手段のうちの一部のトランスポートパケット処理手段へ入力される特定のトランスポートストリームについては、画像・音声データと画像・音声以外のサービス等のデータが共通メモリに書き込まれる。また、複数のトランスポートパケット処理手段の中の残りのトランスポートパケット処理手段へ入力される特定のトランスポートストリームについては、画像・音声以外のサービス等のデータのみが共通メモリに書き込まれる。

30

【0019】本発明の請求項3のトランスポートストリーム処理装置は、請求項1記載のトランスポートストリーム処理装置において、トランスポートストリームが画像・音声データと画像・音声以外のサービス等のデータを含み、外部へトランスポートストリームを出力する外部出力手段を設け、複数のトランスポートパケット処理手段のうちの少なくとも一部のトランスポートパケット処理手段が、トランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要な第1のデータを選択してメモリ制御手段へ供給するとともに、第1のデータとは独立してトランスポートストリームにおける画像・音声データと画像・音声以外のサービス等のデータの中から必要な第2のデータを選択して外部出力手段へ供給するようにしたことを特徴とする。

40

【0020】この構成によれば、複数のトランスポートストリームを入力すると、複数のトランスポートパケット処理手段のうちの少なくとも一部のトランスポートパケット処理手段が特定のトランスポートストリームについて画像・音声データと画像・音声以外のサービス等から必要なデータを選択し共通メモリにデータを書き込むためにメモリ制御手段へ供給すると同時に、これとは独立して画像・音声データと画像・音声以外のサービス等のデータの中から必要なデータを選択して外部出力手段に対しても供給する。その結果、外部出力手段は供給されたデータを別のトランスポートストリームとして出力することになる。

50

【0021】このようにして、複数のトランSPORTストリームが入力されると、必要なデータが共通メモリに書き込まれる。さらに、これと同時に必要なデータが外部へ他のトランSPORTストリームとして出力されることになり、例えばデータ記録再生機器でトランSPORTストリームを記録することができる。

【0022】本発明の請求項4のトランSPORTストリーム処理装置は、請求項1記載のトランSPORTストリーム処理装置において、メモリ制御手段が外部のCPUから共通メモリへのアクセスを制御するようにしたことを特徴とする。

【0023】このように構成すれば、複数のトランSPORTストリーム中から必要なデータが書き込まれた共通メモリに対して、CPUからメモリをアクセスすることができる。

【0024】本発明の請求項5のトランSPORTストリーム処理装置は、請求項4記載のトランSPORTストリーム処理装置において、共有メモリがCPUのプログラム・データ領域を有することを特徴とする。

【0025】このように構成すれば、複数のトランSPORTストリームから選択されたデータを書き込んだ共通メモリにCPUのプログラム・データを書き込むことができる。その結果、CPUのプログラム・データを記憶するメモリを別に設ける必要がなくなり、回路構成を一層簡略化できる。

【0026】本発明の請求項6記載のトランSPORTストリーム処理装置は、請求項1記載のトランSPORTストリーム処理装置において、メモリ制御手段が外部のAVデコーダから共通メモリへのアクセスを制御するようにしたことを特徴とする。

【0027】このように構成すれば、複数のトランSPORTストリーム中から必要なデータが書き込まれたメモリに対して、AVデコーダは画像・音声やその他のデータを読み出すことができる。

【0028】本発明の請求項7記載のトランSPORTストリーム処理装置は、請求項6記載のトランSPORTストリーム処理装置において、共有メモリがAVデコーダのフレームメモリ領域を有することを特徴とする。

【0029】このように構成すれば、複数のトランSPORTストリームから選択されたデータを書き込んだ共通メモリの一部をAVデコーダのフレームメモリとして使用することができ、AVデコーダのフレームメモリを別に設ける必要がなくなり、回路構成をいっそう簡略化できる。

【0030】本発明の請求項8記載のトランSPORTストリーム処理装置は、複数のトランSPORTストリームをそれぞれバッファリングする複数のバッファメモリと、複数のバッファメモリから出力されるトランSPORTストリームを選択するセレクタと、セレクタで選択されたトランSPORTストリームが書き込まれるローカル

10

20

30

40

50

メモリと、ローカルメモリから出力されるトランSPORTパケットからPIDフィルタリング等を行い必要なデータを取得するトランSPORTパケット処理回路と、トランSPORTパケット処理回路への動作用クロックの供給を制御するクロックコントローラと、複数のバッファメモリとセレクタとローカルメモリとを制御し、ローカルメモリのトランSPORTパケット出力が複数のバッファメモリのうちのどのバッファメモリから出力されているかをトランSPORTパケット処理回路における必要なデータの選択のためにトランSPORTパケット処理回路に通知し、ローカルメモリからトランSPORTパケット処理回路へのトランSPORTパケットデータの入力開始および入力終了をクロックコントローラに通知するローカルメモリコントローラとを備え、ローカルメモリコントローラにおける複数のバッファメモリとセレクタとローカルメモリとの制御は、複数のバッファメモリがオーバーフローしないようにセレクタの選択状態を切り替えながら複数のバッファメモリのデータをローカルメモリに書き込み、ローカルメモリに書き込まれたデータがトランSPORTパケット単位になったときにローカルメモリに書き込まれたデータをトランSPORTパケット処理回路へ出力し、ローカルメモリに蓄積されているデータがトランSPORTパケット単位より小さくなったときにローカルメモリに書き込まれたデータのトランSPORTパケット処理回路への出力を停止するように行い、クロックコントローラは、ローカルメモリコントローラからトランSPORTパケットデータの入力開始の通知を受けると、クロックのトランSPORTパケット処理回路への供給を開始し、トランSPORTパケットデータの入力終了の通知を受けると、クロックのトランSPORTパケット処理回路への供給を停止することを特徴とする。

【0031】この構成によれば、ローカルメモリとトランSPORTパケット処理回路が1つの回路で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリに書き込まれているトランSPORTパケット処理が未処理のデータ量を判断して、トランSPORTパケット処理回路へのクロックの供給の開始および停止を切り替えることで、トランSPORTパケット処理回路を動作状態から停止状態までの制御を行うことができる。つまり、トランSPORTパケット処理が必要なときにのみトランSPORTパケット処理回路を動作させることができる。その結果、低消費電力で動作させることができる。

【0032】本発明の請求項9記載のトランSPORTストリーム処理装置は、請求項8記載のトランSPORTストリーム処理装置において、クロックコントローラが、CPUから設定できるレジスタを有し、レジスタの設定値によりクロックの周波数を制御することができ、クロックの供給の開始・停止に代え、ローカルメモリコントローラからトランSPORTパケットデータの入力開始の

通知を受けると、クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、クロックの周波数を低くすることを特徴とする。

【0033】この構成によれば、CPUから任意に必要な動作周波数でトランスポートパケット処理回路を動かすことができる。ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路のクロック周波数を切り替えることで、トランスポートパケット処理回路を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0034】本発明の請求項10記載のトランスポートストリーム処理装置は、複数のトランスポートストリームをPIDフィルタリングして必要なトランスポートストリームをそれぞれ出力する複数のPIDフィルタと、複数のPIDフィルタから出力されるトランスポートストリームをそれぞれバッファリングする複数のバッファメモリと、複数のバッファメモリから出力されるトランスポートストリームを選択するセレクタと、セレクタで選択されたトランスポートストリームが書き込まれるローカルメモリと、ローカルメモリから出力されるトランスポートパケットから必要なデータを取得するトランスポートパケット処理回路と、トランスポートパケット処理回路への動作用クロックの供給を制御するクロックコントローラと、複数のバッファメモリとセレクタとローカルメモリとを制御し、ローカルメモリのトランスポートパケット出力が複数のバッファメモリのうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路における必要なデータの選択のためにトランスポートパケット処理回路に通知し、ローカルメモリからトランスポートパケット処理回路へのトランスポートパケットデータの入力開始および入力終了をクロックコントローラに通知するローカルメモリコントローラとを備え、ローカルメモリコントローラにおける複数のバッファメモリとセレクタとローカルメモリとの制御は、複数のバッファメモリがオーバーフローしないようにセレクタの選択状態を切り替えながら複数のバッファメモリのデータをローカルメモリに書き込み、ローカルメモリに書き込まれたデータがトランスポートパケット単位になったときにローカルメモリに書き込まれたデータをトランスポートパケット処理回路へ出力し、ローカルメモリに蓄積されているデータがトランスポートパケット単位より小さくなったときにローカルメモリに書き込まれたデータのトランスポートパケット処理回路への出力を停止するように行い、クロックコントローラは、ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックのト

10

ンスポートパケット処理回路への供給を開始し、トランスポートパケットデータの入力終了の通知を受けると、クロックのトランスポートパケット処理回路への供給を停止することを特徴とする。

20

【0035】この構成によれば、ローカルメモリとトランスポートパケット処理回路が1つの回路(PIDフィルタは複数)で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量は、PIDフィルタリングされた後のデータなので必要最小限であり、このデータ量を判断して、トランスポートパケット処理回路へのクロックの供給の開始および停止を切り替えることで、トランスポートパケット処理回路を動作状態から停止状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路を動作させることができる。その結果、低消費電力で動作させることができる。

30

【0036】また、PIDフィルタ後のデータをローカルメモリに書き込むので、不必要的データを書き込むアクセスが発生せず、消費電力を低減でき、またローカルメモリ領域を効率的に使用することができる。

30

【0037】本発明の請求項11記載のトランスポートストリーム処理装置は、請求項10記載のトランスポートストリーム処理装置において、クロックコントローラが、CPUから設定できるレジスタを有し、レジスタの設定値によりクロックの周波数を制御することができ、クロックの供給の開始・停止に代え、ローカルメモリコントローラからトランスポートパケットデータの入力開始の通知を受けると、クロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、クロックの周波数を低くすることを特徴とする。

40

【0038】この構成によれば、CPUから任意に必要な動作周波数でトランスポートパケット処理回路を動かすことができる。ローカルメモリに書き込まれているトランスポートパケット処理が未処理のデータ量を判断して、トランスポートパケット処理回路のクロック周波数を切り替えることで、トランスポートパケット処理回路を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランスポートパケット処理が必要なときにのみトランスポートパケット処理回路を高速動作させることができる。その結果、低消費電力で動作させることができる。

50

【0039】本発明の請求項12記載のトランスポートストリーム処理装置は、複数のトランスポートストリームをそれぞれバッファリングする複数のバッファメモリと、複数のバッファメモリからそれぞれ出力されるトランスポートストリームを選択するセレクタと、セレクタで選択されたトランスポートストリームをPIDフィルタリングして出力するPIDフィルタと、PIDフィル

タから出力されたトランSPORTストリームが書き込まれるローカルメモリと、ローカルメモリから出力されるトランSPORTストリームから必要なデータを取得するトランSPORTパケット処理回路と、トランSPORTパケット処理回路への動作用クロックの供給を制御するクロックコントローラと、複数のバッファメモリとセレクタとローカルメモリとを制御し、ローカルメモリのトランSPORTパケット出力が複数のバッファメモリのうちのどのバッファメモリから出力されているかをトランSPORTパケット処理回路における必要なデータの選択のためにトランSPORTパケット処理回路に通知し、ローカルメモリからトランSPORTパケット処理回路へのトランSPORTパケットデータの入力開始および入力終了をクロックコントローラに通知するローカルメモリコントローラとを備え、ローカルメモリコントローラにおける複数のバッファメモリとセレクタとローカルメモリとの制御は、複数のバッファメモリがオーバーフローしないようにセレクタの選択状態を切り替えながら複数のバッファメモリのデータをローカルメモリに書き込み、ローカルメモリに書き込まれたデータがトランSPORTパケット単位になったときにローカルメモリに書き込まれたデータをトランSPORTパケット処理回路へ出力し、ローカルメモリに蓄積されているデータがトランSPORTパケット単位より小さくなったときにローカルメモリに書き込まれたデータのトランSPORTパケット処理回路への出力を停止するように行い、クロックコントローラは、ローカルメモリコントローラからトランSPORTパケットデータの入力開始の通知を受けると、クロックのトランSPORTパケット処理回路への供給を開始し、トランSPORTパケットデータの入力終了の通知を受けると、クロックのトランSPORTパケット処理回路への供給を停止することを特徴とする。

【0040】この構成によれば、ローカルメモリとトランSPORTパケット処理回路が1つの回路で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリに書き込まれているトランSPORTパケット処理が未処理のデータ量は、P I Dフィルタリングされた後のデータなので必要最小限であり、このデータ量を判断して、トランSPORTパケット処理回路へのクロックの供給の開始および停止を切り替えることで、トランSPORTパケット処理回路を動作状態から停止状態までの制御を行うことができる。つまり、トランSPORTパケット処理が必要なときにのみトランSPORTパケット処理回路を動作させることができる。その結果、低消費電力で動作させることができる。

【0041】また、P I Dフィルタ後のデータをローカルメモリに書き込むので、不必要的データを書き込むアクセスが発生せず、消費電力を低減でき、またローカルメモリ領域を効率的に使用することができる。

【0042】本発明の請求項13記載のトランSPORT

10

20

30

40

50

ストリーム処理装置は、請求項12記載のトランSPORTストリーム処理装置において、クロックコントローラが、C P Uから設定できるレジスタを有し、レジスタの設定値によりクロックの周波数を制御することができ、クロックの供給の開始・停止に代え、ローカルメモリコントローラからトランSPORTパケットデータの入力開始の通知を受けると、クロックの周波数を高くし、トランSPORTパケットデータの入力終了の通知を受けると、クロックの周波数を低くすることを特徴とする。

【0043】この構成によれば、C P Uから任意に必要な動作周波数でトランSPORTパケット処理回路を動かすことができる。ローカルメモリに書き込まれているトランSPORTパケット処理が未処理のデータ量を判断して、トランSPORTパケット処理回路のクロック周波数を切り替えることで、トランSPORTパケット処理回路を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランSPORTパケット処理が必要なときにのみトランSPORTパケット処理回路を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0044】

【発明の実施の形態】本発明の実施の形態として、M P E Gシステム規格に準拠したデジタル放送において、衛星からのトランSPORTストリームとデジタル記録再生機器（D-V H Sビデオテープレコーダ等）からのトランSPORTストリームから、必要に応じて画像・音声やその他のサービス情報を選択し、共通メモリに書き込んだり、外部出力手段である外部インターフェースに出力するトランSPORTストリーム処理装置について、図面を参照しながら説明する。

【0045】図1はトランSPORTストリームの説明をするための模式図である。トランSPORTストリーム10は、例えば1 8 8 b y t e 単位の複数のトランSPORTパケット11, 12, …から構成される。例えば、トランSPORTパケット11は4 b y t e (バイト) のパケットヘッダ13と1 8 4 b y t e のアダプテーションフィールド/ペイロード14とから構成される。パケットヘッダ13には、このトランSPORTパケット11についてのさまざまな付加情報が入っており、この中にパケット識別子 (P I D) 15の情報がある。パケット識別子15は、どのプログラム（番組）でこのアダプテーションフィールド/ペイロード14を使用するかの識別番号（I D番号）を示すものである。アダプテーションフィールド/ペイロード14には、画像・音声やその他のサービス情報が入っている。

【0046】図2は請求項1～7に関する本発明の第1の実施の形態におけるトランSPORTストリーム処理装置の構成を示すブロック図である。図2において、21はトランSPORTパケット処理手段としてのトランSPORTパケット処理回路であり、衛星からのトランSPORT

トストリームが入力される。22はトランSPORTパケット処理手段としてのトランSPORTパケット処理回路であり、デジタル記録再生機器からのトランSPORTストリームが入力される。23はアクセス調停機能を有するメモリ制御手段としてのメモリコントローラであり、トランSPORTパケット処理回路21, 22および外部バス28からデータが供給される。24は共通メモリであり、画像データ領域24A、音声データ領域24B、サービス等のデータ領域24C、CPUのプログラム領域24DおよびAVデコーダのフレームメモリ領域24Eからなり、メモリコントローラ23からデータが供給されることで、画像データ領域24A、音声データ領域24B、サービス等のデータ領域24C、CPUのプログラム領域24DおよびAVデコーダのフレームメモリ領域24Eのいずれかにデータが書き込まれる。25はトランSPORTパケット処理回路21から出力されるデータを入力として、外部へ他のトランSPORTストリームとして出力する外部インターフェースである。以上の構成要素は、ワンチップ集積回路で構成されている。

【0047】26は外部バス28を介してメモリコントローラ23に接続されたCPUである。27は外部バス28を介してメモリコントローラ23に接続されたAVデコーダである。

【0048】以上のような構成のトランSPORTストリーム処理装置の動作について、以下に説明する。衛星からのトランSPORTストリームは、まずトランSPORTパケット処理回路21で処理されて、必要なトランSPORTパケットが選択されメモリコントローラ23へ送られる。また、これに同時に、かつメモリコントローラ23へ送るトランSPORTパケットとは独立して、必要なトランSPORTパケットが選択され外部インターフェース25へ送られる。外部インターフェース25はデジタル記録再生機器(D-VHSビデオテープレコーダ)に入力できる信号を変換するものである。メモリコントローラ23は、トランSPORTパケット処理回路21で選択されたトランSPORTパケットを共通メモリ24に書き込む。この際、画像データは画像データ領域24Aに書き込まれ、音声データは音声データ領域24Bに書き込まれ、サービス等のデータはサービス等のデータ領域24Cに書き込まれる。

【0049】一方、デジタル記録再生機器からのトランSPORTストリームは、まずトランSPORTパケット処理回路22で処理されて、必要なトランSPORTパケットが選択されメモリコントローラ23へ送られる。つぎに、メモリコントローラ23は、トランSPORTパケット処理回路22で選択されたトランSPORTパケットを共通メモリ24に書き込む。

【0050】このトランSPORTストリーム処理装置は、CPU26やAVデコーダ27等の外部回路からも、メモリコントローラ23の働きで外部バス28を通

してアクセスでき、共通メモリ24に書き込まれたデータはCPU26やAVデコーダ27から自由に読み出すことができる。また、この共通メモリ24は、CPUのプログラム・データ領域24Dとフレームメモリ領域24Eを設けたことにより、CPU26のプログラム・データを格納するメモリ、ならびにAVデコーダ27のフレームメモリとしても使用可能である。

【0051】図3はトランSPORTパケット処理回路21の具体的な構成を示すブロック図である。図3において、31はパケット識別子テーブル、32はパケット識別子比較回路、33は遅延回路、34, 35は選択回路である。

【0052】以上のような構成のトランSPORTパケット処理回路21の動作を以下に説明する。あらかじめ必要なパケット識別子をパケット識別子テーブル31に設定しておく。このトランSPORTパケット処理回路21では、2個の選択回路34, 35が設けられているので、各選択回路34, 35毎に個別にパケット識別子が設定できるようになっている。

【0053】そして、衛星からのトランSPORTストリームがパケット識別子比較回路32と遅延回路33とに入力される。その結果、パケット識別子比較回路32は、パケット識別子テーブル31に各選択回路34, 35毎に設定されたパケット識別子と入力されたトランSPORTストリームの各トランSPORTパケットのパケット識別子とを比較する。選択回路34に対応して設定されたパケット識別子と入力されたトランSPORTストリームの各トランSPORTパケットのパケット識別子とが一致したら、選択信号を選択回路34へ送る。また、選択回路35に対応して設定されたパケット識別子と入力されたトランSPORTストリームの各トランSPORTパケットのパケット識別子とが一致したら、選択信号を選択回路35へ送る。

【0054】遅延回路33は、各トランSPORTパケットをパケット識別子比較回路32で比較処理される時間だけ遅延させて選択回路34, 35へ送る。その結果、パケット識別子が一致した1種類または複数種類のトランSPORTパケットが選択回路34, 35で各々選択されて外部へ出力される。この場合、選択回路34で選択されたトランSPORTパケットは外部インターフェース25へ送られ、選択回路35で選択されたトランSPORTパケットはメモリコントローラ23へ送られる。

【0055】図4はトランSPORTパケット処理回路22の具体的な構成を示すブロック図である。図4において、41はパケット識別子テーブル、42はパケット識別子比較回路、43は遅延回路、44は選択回路である。

【0056】以上のような構成のトランSPORTパケット処理回路22の動作を以下に説明する。あらかじめ必要なパケット識別子をパケット識別子テーブル41に設

定しておく。このトランスポートパケット処理回路 22 では、1 個の選択回路 44 が設けられているだけであるので、選択回路 44 についてパケット識別子が設定できるようになっている。

【0057】そして、デジタル記録再生機器からのトランスポートストリームがパケット識別子比較回路 42 と遅延回路 43 とに入力される。その結果、パケット識別子比較回路 42 は、パケット識別子テーブル 41 に設定されたパケット識別子と入力されたトランスポートストリームの各トランスポートパケットのパケット識別子とを比較する。設定されたパケット識別子と入力されたトランスポートストリームの各トランスポートパケットのパケット識別子とが一致したら、選択信号を選択回路 44 へ送る。

【0058】遅延回路 43 は、各トランスポートパケットをパケット識別子比較回路 42 で比較処理される時間だけ遅延させて選択回路 44 へ送る。その結果、パケット識別子が一致した 1 種類または複数種類のトランスポートパケットが選択回路 44 で選択されて外部へ出力される。この場合、選択回路 44 で選択されたトランスポートパケットはメモリコントローラ 23 へ送られる。

【0059】図 5 はメモリコントローラ 23 の具体構成を示すブロック図である。図 5において、51, 52 はバッファメモリ、53 はアクセスの調停を行うアビトレーション回路、54 は選択回路である。

【0060】以上のような構成のメモリコントローラ 23 の動作を以下に説明する。衛星からのトランスポートパケットとデジタル記録再生機器からのトランスポートパケットは、バッファメモリ 51 とバッファメモリ 52 にそれぞれ書き込まれる。これと同時に共通メモリ 24 に対する書き込み要求がアビトレーション回路 53 に送られる。

【0061】また、任意のタイミングで CPU/AV デコーダ 26, 27 から共通メモリ 24 の書き込み要求がアビトレーション回路 53 に送られる。アビトレーション回路 53 は上記の数種類の書き込み要求の優先順位付けを行い、選択回路 54 を制御しながら、共通メモリ 24 の読み出しと書き込みを行う。

【0062】なお、上記実施の形態では、トランスポートパケット処理回路が 2 個設けられていたが、3 個またはそれ以上でもよく、それらの一部はトランスポートパケット処理回路 21 に相当する構成であり、残りはトランスポートパケット処理回路 22 に相当する構成である。

【0063】以上のように、この実施の形態のトランスポートストリーム処理装置によれば、複数のトランスポートパケット処理回路 21, 22 と単一の共通メモリ 24 と単一のメモリコントローラ 23 を設け、複数のトランスポートパケット処理回路 21, 22 によって選択したデータを単一のメモリコントローラ 23 を用いて単一

の共通メモリ 24 に書き込むことができ、データを保存するためのメモリが一つで済み、トランスポートストリーム処理装置の規模を小さくすることができ、データ処理も単純になり、CPU 26 の負荷を軽減することができる。

【0064】さらに、トランスポートパケット処理回路 22 により、特定のトランスポートストリーム（衛星からのもの）から選択した画像・音声データと画像・音声以外のサービス等のデータを共通メモリ 24 に書き込むことができ、トランスポートパケット処理回路 21 により、特定のトランスポートストリーム（デジタル記録再生機器からのもの）から選択した画像・音声以外のサービス等のデータのみを共通メモリ 24 に書き込みながら、同時に外部出力にも特定のトランスポートストリーム（衛星からのもの）の中から必要なデータを出力できる。

【0065】また、メモリコントローラ 23 により複数のトランスポートストリームから選択されたデータと、CPU 26 のプログラム・データを共通メモリ 24 に書き込み、また読み出すことができる。また、メモリコントローラ 23 により AV デコーダ 27 は共通メモリ 24 から直接必要なデータを読み出すことができ、またデコードのために共通メモリ 24 の一部の領域をフレームメモリとして利用することができる。

【0066】図 6 は請求項 8, 9 に関する本発明の第 2 の実施の形態におけるトランスポートストリーム処理装置の構成を示すブロック図である。第 2 の実施の形態では、バッファメモリ 61～63、セレクタ 64、ローカルメモリ 65、トランスポートパケット処理回路 66、ローカルメモリコントローラ 67、およびクロックコントローラ 68、メモリコントローラ 69、共通メモリ 70 を備えている。

【0067】複数のトランスポートストリーム A～C を各々バッファリングするバッファメモリ 61～63 は、セレクタ 64 で選択されていない間のトランスポートストリームを保持しなければならない。

【0068】セレクタ 64 はローカルメモリ 65 の書き込みポートが 1 つであるため、バッファメモリ 61～63 の一つを選択してローカルメモリ 65 へデータを出力する。つまり、複数のバッファメモリ 61～63 から出力されるトランスポートストリームを選択してしてローカルメモリ 65 へ送る。

【0069】ローカルメモリ 65 では、セレクタ 64 で選択されたトランスポートストリーム A～C が各々書き込まれていき、188 バイトのトランスポートパケットが構成されるまで書き込まれた後、トランスポートパケット単位でトランスポートパケット処理回路 66 へ出力される。

【0070】トランスポートパケット処理回路 66 は PID フィルタ回路 66A と PID フィルタ以外の回路 6

6 Bを備えているが、この両者の回路66A, 66Bでパケット処理を行い、ローカルメモリ65から出力されるトランsportパケットからPIDフィルタリング等を行い必要なデータを取得し、メモリコントローラ（図示せず）へ送る。なお、PIDフィルタリングというのは、トランsportストリームのデータの中から、特定のパケット識別子（PID）を備えたデータを選択的に抽出することをいう。

【0071】ローカルメモリコントローラ67は、複数のバッファメモリ61～63とセレクタ64とローカルメモリ65とを制御し、ローカルメモリ65のトランsportパケット出力が複数のバッファメモリ61～63のうちのどのバッファメモリから出力されているかをトランsportパケット処理回路66における必要なデータの選択のためにトランsportパケット処理回路66に通知し、ローカルメモリ65からトランsportパケット処理回路66へのトランsportパケットデータの入力開始および入力終了をクロックコントローラ68に通知する。

【0072】ローカルメモリコントローラ67における複数のバッファメモリ61～63とセレクタ64とローカルメモリ65との制御は、以下のように行われる。すなわち、複数のバッファメモリ61～63がオーバーフローしないようにセレクタ64の選択状態を切り替えながら複数のバッファメモリ61～63のデータをローカルメモリ65の複数のトランsportストリームに対応した領域毎に分けて書き込む制御が行われる。また、ローカルメモリ65に書き込まれたデータがトランsportパケット単位になったときにローカルメモリ65に書き込まれたデータをトランsportパケット処理回路66へ出力し、ローカルメモリ65に蓄積されているデータがトランsportパケット単位より小さくなつたときにローカルメモリ65に書き込まれたデータのトランsportパケット処理回路65への出力を停止する制御が行われる。

【0073】クロックコントローラ68は、トランsportパケット処理回路66への動作用クロックの供給を制御する。具体的には、ローカルメモリコントローラ67からトランsportパケット処理回路65へのトランsportパケットデータの入力開始の通知を受けると、クロックのトランsportパケット処理回路66への供給を開始し、トランsportパケット処理回路65へのトランsportパケットデータの入力終了の通知を受けると、クロックのトランsportパケット処理回路66への供給を停止する。

【0074】つまり、ローカルメモリコントローラ67とクロックコントローラ68は、以下のような制御動作を行う。ローカルメモリコントローラ67はバッファメモリ61～63がオーバーフローしないようにセレクタ64を介してバッファメモリ61～63のデータをロー

カルメモリ65に書き込む制御を行う。また、ローカルメモリコントローラ67は、ローカルメモリ65に書き込まれたデータがトランsportパケット単位になった時、ローカルメモリ65からトランsportパケット処理回路66へトランsportパケットを出力する制御を行うと同時に、ローカルメモリ65のトランsportパケット出力が複数のバッファメモリ61～63のうちのどのバッファメモリから出力されているかをトランsportパケット処理回路66に通知し、クロックコントローラ68へトランsportパケットがトランsportパケット処理回路66に入力されることを通知する。

【0075】クロックコントローラ68は、トランsportパケットがトランsportパケット処理回路66に入力されることを知ると（またはCPUからトランsportパケットの入力レートが高いことを通知されると）、トランsportパケット処理回路66にクロックを供給（または周波数を上げる）する。このことでトランsportパケット処理回路66が動作する。このトランsportパケット単位の動作が継続中に、ローカルメモリ65に書き込まれて続けて蓄積されているデータがトランsportパケット単位以下となった時、ローカルメモリ65からトランsportパケット処理回路66へトランsportパケット単位でのデータの出力を停止する制御を行うと同時に、クロックコントローラ68へトランsportパケット単位でトランsportパケット処理回路66に入力が終了したことを通知する。クロックコントローラ68は、トランsportパケット単位でトランsportパケット処理回路66の入力が終了したことを知ると（またはCPUからトランsportパケットの入力レートが低いことを通知されると）、トランsportパケット処理回路66のクロックを一定時間の後に停止（または周波数を下げる）する。このことでトランsportパケット処理回路66の動作が停止する。

【0076】メモリコントローラ69は、トランsportパケット処理回路66で処理されたデータを共通メモリ70の決められた領域に書き込む。

【0077】ここで、外部のCPUからの通知を受ける場合について説明する。クロックコントローラ68は、外部のCPUから値を設定できるレジスタを有し、外部のCPUからの通知によって値をレジスタに設定する構成になっている。この場合、レジスタの設定値によりクロックの周波数の高低あるいは供給開始、供給停止を制御することができる。ローカルメモリコントローラ67からトランsportパケット処理回路66へのトランsportパケットデータの入力開始の通知を受けると、クロックの供給を開始し、またはクロックの周波数を高めし、トランsportパケットデータの入力終了の通知を受けると、クロックの供給を停止し、またはクロックの周波数を低くする。

【0078】つまり、トランsportパケット処理回路

6 6 にトランSPORTパケットが入力開始または、入力終了した状況や入力データが高速／低速の状況によりクロックの供給開始、停止あるいは、周波数の上下の制御が行われる。

【0079】なお、ローカルメモリコントローラ 6 7 からの信号でクロックコントローラ 6 8 がトランSPORTパケット単位でのトランSPORTパケット処理回路 6 6 の入力が開始もしくは終了を知ったときに、クロックの供給開始もしくは停止の代わりに、クロックの周波数を上下させてもよい。

【0080】図7はセレクタ 6 4 の入出力およびローカルメモリ 6 5 の出力を示すタイミング図である。図8は図7で示されたトランSPORTストリームが書き込まれたローカルメモリ 6 5 のメモリマップを示す模式図である。

【0081】複数のトランSPORTストリーム A～C がセレクタ 6 4 に入力していて、各々は 32 ビット単位の A 1～4 7, B 1～4 7, C 1～4 7 とする。セレクタ 6 4 はこのデータを時分割多重して、A 1, B 1, C 1, A 2, B 2, C 2……C 4 7, B 4 7, C 4 7 としてローカルメモリ 6 5 に書き込む。

【0082】ローカルメモリマップ上では、トランSPORTパケット A の領域 8 1 に A 1, A 2, A 3……A 4 7 が書き込まれる。同様に、トランSPORTパケット B の領域 8 2 に B 1, B 2, B 3……B 4 7、トランSPORTパケット C の領域 8 3 に C 1, C 2, C 3……C 4 7 が書き込まれる。一方、読み出しへは、1 トランSPORTパケットが完成した時に、トランSPORTパケット単位で A 1……A 4 7 の 1 トランSPORTパケット、B 1……B 4 7 の 1 トランSPORTパケット、C 1……C 4 7 の 1 トランSPORTパケットの順で読み出され、トランSPORTパケット処理回路 6 6 に送られる。

【0083】この実施の形態のトランSPORTストリーム処理装置によれば、ローカルメモリ 6 5 とトランSPORTパケット処理回路 6 6 が 1 つの回路で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリ 6 5 に書き込まれているトランSPORTパケット処理が未処理のデータ量を判断して、トランSPORTパケット処理回路 6 6 へのクロックの供給の開始および停止を切り替えることで、トランSPORTパケット処理回路 6 6 を動作状態から停止状態までの制御を行うことができる。つまり、トランSPORTパケット処理が必要なときにのみトランSPORTパケット処理回路 6 6 を動作させることができる。その結果、低消費電力で動作させることができる。

【0084】一方、トランSPORTパケット処理回路 6 6 へ供給するクロックの周波数を高低に切り替える構成によると、CPU から任意に必要な動作周波数でトランSPORTパケット処理回路 6 6 を動かすことができる。ローカルメモリに書き込まれているトランSPORTパケ

ット処理が未処理のデータ量を判断して、トランSPORTパケット処理回路 6 6 のクロック周波数を切り替えることで、トランSPORTパケット処理回路 6 6 を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランSPORTパケット処理が必要なときにのみトランSPORTパケット処理回路 6 6 を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0085】図9は請求項 10、11 に関する本発明の 10 第3の実施の形態におけるトランSPORTストリーム処理装置の構成を示すブロック図である。第3の実施の形態では、PID フィルタ 9 1～9 3、バッファメモリ 9 4～9 6、セレクタ 9 7、ローカルメモリ 9 8、トランSPORTパケット処理回路 9 9、ローカルメモリコントローラ 9 A、およびクロックコントローラ 9 B とを備え、さらに図示は省略しているが、図6のメモリコントローラ 6 9 および共通メモリ 7 0 と同様の機能を有するメモリコントローラおよび共通メモリを備えている。

【0086】PID フィルタ 9 1～9 3 は、複数のトランSPORTストリーム A～C を各々 PID フィルタリングし、必要なトランSPORTストリームをそれぞれバッファメモリ 9 4～9 6 へ出力する。

【0087】各々バッファメモリ 9 4～9 6 は、セレクタ 9 7 で選択されていない間のトランSPORTストリームを保持しなければならない。

【0088】セレクタ 9 7 はローカルメモリ 9 8 の書き込みポートが 1 つであるため、バッファメモリ 9 4～9 6 の一つを選択してローカルメモリ 9 8 へデータを出力する。つまり、複数のバッファメモリ 9 4～9 6 から出力されるトランSPORTストリームを選択してローカルメモリ 9 8 へ送る。

【0089】ローカルメモリ 9 8 では、セレクタ 9 7 で選択されたトランSPORTストリーム A～C が各々書き込まれていき、188 バイトのトランSPORTパケットが構成されるまで書き込まれた後、トランSPORTパケット単位でトランSPORTパケット処理回路 9 9 へ出力される。

【0090】トランSPORTパケット処理回路 9 9 は PID フィルタ以外の回路 9 9 B を備えていて、この回路でパケット処理を行い、ローカルメモリ 9 8 から出力されるトランSPORTパケットから必要なデータを取得し、メモリコントローラ（図示せず）へ送る。

【0091】ローカルメモリコントローラ 9 A は、複数のバッファメモリ 9 4～9 6 とセレクタ 9 7 とローカルメモリ 9 8 とを制御し、ローカルメモリ 9 8 のトランSPORTパケット出力が複数のバッファメモリ 9 4～9 6 のうちのどのバッファメモリから出力されているかをトランSPORTパケット処理回路 9 9 における必要なデータの選択のためにトランSPORTパケット処理回路 9 9 に通知し、ローカルメモリ 9 8 からトランSPORTパケ

ット処理回路 9 9 へのトランスポートパケットデータの入力開始および入力終了をクロックコントローラ 9 B に通知する。

【0092】ローカルメモリコントローラ 9 A における複数のバッファメモリ 9 4～9 6 とセレクタ 9 7 とローカルメモリ 9 8 との制御は、以下のように行われる。すなわち、複数のバッファメモリ 9 4～9 6 がオーバーフローしないようにセレクタ 9 7 の選択状態を切り替えながら複数のバッファメモリ 9 4～9 6 のデータをローカルメモリ 9 8 の複数のトランスポートストリームに対応した領域毎に分けて書き込む制御が行われる。また、ローカルメモリ 9 8 に書き込まれたデータがトランスポートパケット単位になったときにローカルメモリ 9 8 に書き込まれたデータをトランスポートパケット処理回路 9 9 へ出力し、ローカルメモリ 9 8 に蓄積されているデータがトランスポートパケット単位より小さくなつたときにローカルメモリ 9 8 に書き込まれたデータのトランスポートパケット処理回路 9 8 への出力を停止する制御が行われる。

【0093】クロックコントローラ 9 B は、トランスポートパケット処理回路 9 9 への動作用クロックの供給を制御する。具体的には、ローカルメモリコントローラ 9 A からトランスポートパケット処理回路 9 8 へのトランスポートパケットデータの入力開始の通知を受けると、クロックのトランスポートパケット処理回路 9 9 への供給を開始し、トランスポートパケット処理回路 9 8 へのトランスポートパケットデータの入力終了の通知を受けると、クロックのトランスポートパケット処理回路 9 9 への供給を停止する。

【0094】つまり、ローカルメモリコントローラ 9 A とクロックコントローラ 9 B は、以下のような制御動作を行う。ローカルメモリコントローラ 9 A はバッファメモリ 9 4～9 6 がオーバーフローしないようにセレクタ 9 7 を介してバッファメモリ 9 4～9 6 のデータをローカルメモリ 9 8 に書き込む制御を行う。また、ローカルメモリコントローラ 9 A は、ローカルメモリ 9 8 に書き込まれたデータがトランスポートパケット単位になった時、ローカルメモリ 9 8 からトランスポートパケット処理回路 9 9 へトランスポートパケットを出力する制御を行うと同時に、ローカルメモリ 9 8 のトランスポートパケット出力が複数のバッファメモリ 9 4～9 6 のうちのどのバッファメモリから出力されているかをトランスポートパケット処理回路 9 9 に通知し、クロックコントローラ 9 B へトランスポートパケットがトランスポートパケット処理回路 9 9 に入力されることを通知する。クロックコントローラ 9 B は、トランスポートパケットがトランスポートパケット処理回路 9 9 に入力されることを知ると（または C P U からトランスポートパケットのレートが高いことを通知されると）、トランスポートパケット処理回路 9 9 にクロックを供給（または周波数を上

10

20

30

40

50

げる）する。このことでトランスポートパケット処理回路 9 9 が動作する。このトランスポートパケット単位の動作が継続中に、ローカルメモリ 9 8 に書き込まれて続けて蓄積されているデータがトランスポートパケット単位以下となつた時、ローカルメモリ 9 8 からトランスポートパケット処理回路 9 9 へトランスポートパケット単位でのデータの出力を停止する制御を行うと同時に、クロックコントローラ 9 B へトランスポートパケット単位でトランスポートパケット処理回路 9 9 に入力が終了したことを通知する。クロックコントローラ 9 B は、トランスポートパケット単位でトランスポートパケット処理回路 9 9 の入力が終了したことを知ると（または C P U からトランスポートパケットのレートが低いことを通知されると）、トランスポートパケット処理回路 9 9 のクロックを一定時間の後に停止（または周波数を下げる）する。このことでトランスポートパケット処理回路 9 9 の動作が停止する。

【0095】メモリコントローラ（図示せず）は、トランスポートパケット処理回路 9 9 で処理されたデータを共通メモリ（図示せず）の決められた領域に書き込む。

【0096】ここで、外部の C P U からの通知を受ける場合について説明する。クロックコントローラ 9 B は、外部の C P U から値を設定できるレジスタを有し、外部の C P U からの通知によって値をレジスタに設定する構成になっている。この場合、レジスタの設定値によりクロックの周波数の高低あるいは供給開始、供給停止を制御することができる。ローカルメモリコントローラ 9 A からトランスポートパケット処理回路 9 9 へのトランスポートパケットデータの入力開始の通知を受けると、クロックの供給を開始し、またはクロックの周波数を高くし、トランスポートパケットデータの入力終了の通知を受けると、クロックの供給を停止し、またはクロックの周波数を低くする。

【0097】つまり、トランスポートパケット処理回路 9 9 にトランスポートパケットが入力開始または、入力終了した状況や入力データが高速／低速の状況によりクロックの供給開始、停止あるいは、周波数の上下の制御が行われる。

【0098】なお、ローカルメモリコントローラ 9 A からの信号でクロックコントローラ 9 B がトランスポートパケット単位でのトランスポートパケット処理回路 9 9 の入力が開始もしくは終了を知ったときに、クロックの供給開始もしくは停止の代わりに、クロックの周波数を上下させてもよい。

【0099】この構成によれば、ローカルメモリ 9 8 とトランスポートパケット処理回路 9 9 が 1 つの回路（P I D フィルタ 1～9 3 は複数）で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリ 9 8 に書き込まれているトランスポートパケット処理が未処理のデータ量は、P I D フィルタリングさ

れた後のデータなので必要最小限であり、このデータ量を判断して、トランSPORTパケット処理回路99へのクロックの供給の開始および停止を切り替えることで、トランSPORTパケット処理回路99を動作状態から停止状態までの制御を行うことができる。つまり、トランSPORTパケット処理が必要なときにのみトランSPORTパケット処理回路99を動作させることができる。その結果、低消費電力で動作させることができる。

【0100】また、PIDフィルタ後のデータをローカルメモリ98に書き込むので、不必要的データを書き込むアクセスが発生せず、消費電力を低減でき、またローカルメモリ領域を効率的に使用することができる。

【0101】一方、トランSPORTパケット処理回路99へ供給するクロックの周波数を高低に切り替える構成によると、CPUから任意に必要な動作周波数でトランSPORTパケット処理回路99を動かすことができる。ローカルメモリに書き込まれているトランSPORTパケット処理が未処理のデータ量を判断して、トランSPORTパケット処理回路99のクロック周波数を切り替えることで、トランSPORTパケット処理回路99を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランSPORTパケット処理が必要なときにのみトランSPORTパケット処理回路99を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0102】図10は請求項12、13に関する本発明の第4の実施の形態におけるトランSPORTストリーム処理装置の構成を示すブロック図である。第4の実施の形態では、バッファメモリ101～103、セレクタ104、PIDフィルタ105、ローカルメモリ106、トランSPORTパケット処理回路107、ローカルメモリコントローラ108、およびクロックコントローラ109を備え、さらに図示は省略しているが、図6のメモリコントローラ69および共通メモリ70と同様の機能を有するメモリコントローラおよび共通メモリを備えている。

【0103】複数のトランSPORTストリームA～Cを各々バッファリングするバッファメモリ101～103は、セレクタ104で選択されていない間のトランSPORTストリームを保持しなければならない。

【0104】セレクタ104はPIDフィルタの入力が1系統であるため、バッファメモリ101～103の一つを選択してPIDフィルタ105へデータを出力する。つまり、複数のバッファメモリ101～103から出力されるトランSPORTストリームを選択してローカルメモリ106へ送る。

【0105】PIDフィルタ105はセレクタ104の出力データをPIDフィルタリングし、不必要的トランSPORTパケットは捨て、ローカルメモリ106へ出力する。

【0106】ローカルメモリ106では、PIDフィルタ105でPIDフィルタリングされたトランSPORTストリームA～Cが各々書き込まれていき、188バイトのトランSPORTパケットが構成されるまで書き込まれた後、トランSPORTパケット単位でトランSPORTパケット処理回路107へ出力される。

【0107】トランSPORTパケット処理回路107はPIDフィルタ以外の回路107Bを備えているが、この回路でパケット処理を行い、ローカルメモリ106から出力されるトランSPORTパケットから必要なデータを取得し、メモリコントローラ(図示せず)へ送る。

【0108】ローカルメモリコントローラ108は、複数のバッファメモリ101～103とセレクタ104とローカルメモリ106とを制御し、ローカルメモリ106のトランSPORTパケット出力が複数のバッファメモリ101～103のうちのどのバッファメモリから出力されているかをトランSPORTパケット処理回路107における必要なデータの選択のためにトランSPORTパケット処理回路107に通知し、ローカルメモリ106からトランSPORTパケット処理回路107へのトランSPORTパケットデータの入力開始および入力終了をクロックコントローラ109に通知する。

【0109】ローカルメモリコントローラ108における複数のバッファメモリ101～103とセレクタ104とローカルメモリ106との制御は、以下のように行われる。すなわち、複数のバッファメモリ101～103がオーバーフローしないようにセレクタ104の選択状態を切り替えながら複数のバッファメモリ101～103のデータをローカルメモリ106の複数のトランSPORTストリームに対応した領域毎に分けて書き込む制御が行われる。また、ローカルメモリ106に書き込まれたデータがトランSPORTパケット単位になったときにローカルメモリ106に書き込まれたデータをトランSPORTパケット処理回路107へ出力し、ローカルメモリ106に蓄積されているデータがトランSPORTパケット単位より小さくなったときにローカルメモリ106に書き込まれたデータのトランSPORTパケット処理回路106への出力を停止する制御が行われる。

【0110】クロックコントローラ109は、トランSPORTパケット処理回路107への動作用クロックの供給を制御する。具体的には、ローカルメモリコントローラ108からトランSPORTパケット処理回路106へのトランSPORTパケットデータの入力開始の通知を受けると、クロックのトランSPORTパケット処理回路107への供給を開始し、トランSPORTパケット処理回路106へのトランSPORTパケットデータの入力終了の通知を受けると、クロックのトランSPORTパケット処理回路107への供給を停止する。

【0111】つまり、ローカルメモリコントローラ108とクロックコントローラ109は、以下のような制御

動作を行う。ローカルメモリコントローラ 108 はバッファメモリ 101～103 がオーバーフローしないようにセレクタ 104 を介してバッファメモリ 101～103 のデータをローカルメモリ 106 に書き込む制御を行う。また、ローカルメモリコントローラ 108 は、ローカルメモリ 106 に書き込まれたデータがトランsport パケット単位になった時、ローカルメモリ 106 からトランsport パケット処理回路 107 へトランsport パケットを出力する制御を行うと同時に、ローカルメモリ 106 のトランsport パケット出力が複数のバッファメモリ 101～103 のうちのどのバッファメモリから出力されているかをトランsport パケット処理回路 107 に通知し、クロックコントローラ 109 へトランsport パケットがトランsport パケット処理回路 107 に入力されることを通知する。クロックコントローラ 109 は、トランsport パケットがトランsport パケット処理回路 107 に入力されることを知ると（または C P U からトランsport パケットの入力レートが高いことを通知されると）、トランsport パケット処理回路 107 にクロックを供給（または周波数を上げる）する。このことでトランsport パケット処理回路 107 が動作する。このトランsport パケット単位の動作が継続中に、ローカルメモリ 106 に書き込まれて続けて蓄積されているデータがトランsport パケット単位以下となった時、ローカルメモリ 106 からトランsport パケット処理回路 107 へトランsport パケット単位でのデータの出力を停止する制御を行うと同時に、クロックコントローラ 109 へトランsport パケット単位でトランsport パケット処理回路 107 に入力が終了したことを通知する。クロックコントローラ 109 は、トランsport パケット単位でトランsport パケット処理回路 107 の入力が終了したことを知ると（または C P U からトランsport パケットの入力レートが低いことを通知されると）、トランsport パケット処理回路 107 のクロックを一定時間の後に停止（または周波数を下げる）する。このことでトランsport パケット処理回路 107 の動作が停止する。

【0112】メモリコントローラ（図示せず）は、トランsport パケット処理回路 107 で処理されたデータを共通メモリ（図示せず）の決められた領域に書き込む。

【0113】ここで、外部の C P U からの通知を受ける場合について説明する。クロックコントローラ 109 は、外部の C P U から値を設定できるレジスタを有し、外部の C P U からの通知によって値をレジスタに設定する構成になっている。この場合、レジスタの設定値によりクロックの周波数の高低あるいは供給開始、供給停止を制御することができる。ローカルメモリコントローラ 108 からトランsport パケット処理回路 107 へのトランsport パケットデータの入力開始の通知を受け

ると、クロックの供給を開始し、またはクロックの周波数を高くし、トランsport パケットデータの入力終了の通知を受けると、クロックの供給を停止し、またはクロックの周波数を低くする。

【0114】つまり、トランsport パケット処理回路 107 にトランsport パケットが入力開始または、入力終了した状況や入力データが高速／低速の状況によりクロックの供給開始、停止あるいは、周波数の上下の制御が行われる。

【0115】なお、ローカルメモリコントローラ 108 からの信号でクロックコントローラ 109 がトランsport パケット単位でのトランsport パケット処理回路 107 の入力が開始もしくは終了を知ったときに、クロックの供給開始もしくは停止の代わりに、クロックの周波数を上下させてもよい。

【0116】この実施の形態によれば、ローカルメモリ 106 とトランsport パケット処理回路 107 が 1 つの回路で構成できる。その結果、回路規模を小さくすることができる。かつ、ローカルメモリ 106 に書き込まれているトランsport パケット処理が未処理のデータ量は、P I D フィルタリングされた後のデータなので必要最小限であり、このデータ量を判断して、トランsport パケット処理回路 107 へのクロックの供給の開始および停止を切り替えることで、トランsport パケット処理回路 107 を動作状態から停止状態までの制御を行うことができる。つまり、トランsport パケット処理が必要なときにのみトランsport パケット処理回路 107 を動作させることができる。その結果、低消費電力で動作させることができる。

【0117】また、P I D フィルタ後のデータをローカルメモリ 106 に書き込むので、不必要的データを書き込むアクセスが発生せず、消費電力を低減でき、またローカルメモリ領域を効率的に使用することができる。

【0118】一方、トランsport パケット処理回路 107 へ供給するクロックの周波数を高低に切り替える構成によると、C P U から任意に必要な動作周波数でトランsport パケット処理回路 107 を動かすことができる。ローカルメモリに書き込まれているトランsport パケット処理が未処理のデータ量を判断して、トランsport パケット処理回路 107 のクロック周波数を切り替えることで、トランsport パケット処理回路 107 を高速動作状態から低速動作状態までの制御を行うことができる。つまり、トランsport パケット処理が必要なときにのみトランsport パケット処理回路 107 を高速動作させることができる。その結果、低消費電力で動作させることができる。

【0119】

【発明の効果】本発明のトランsport パケット処理装置によれば、複数のトランsport パケット処理手段と単一の共通メモリと単一のメモリ制御手段を設け、複

数のトランSPORTパケット処理手段によって選択したデータを单一のメモリ制御手段を用いて单一の共通メモリに書き込むことができ、データを保存するためのメモリが一つで済み、トランSPORTストリーム処理装置の規模を小さくすることができ、データ処理も単純になり、データ処理のためのCPUの負担を軽減できる。

【0120】さらに、特定のトランSPORTストリームは選択した画像・音声データと画像・音声以外のサービス等のデータで、特定のトランSPORTストリームは選択した画像・音声以外のサービス等のデータのみを共通メモリに書き込みながら、同時に外部出力にも特定のトランSPORTストリームの中から必要なデータを出力できる。

【0121】また、複数のトランSPORTストリームから選択されたデータと、CPUのプログラム・データを共通メモリに書き込む読み出すことができ、かつ、AVデコーダは共通メモリから直接必要なデータを読み出すことができる。

【0122】また、複数のトランSPORTストリームの処理を、ローカルメモリとトランSPORTパケット処理回路が1つの回路で実現でき、回路規模を小さくできる。

【0123】また、データ処理を行わない時は、トランSPORTパケット処理回路のクロックを停止もしくはクロックの周波数を低くすることができるので、消費電力が低減する。

【0124】また、PIDフィルタ後のデータをローカルメモリに書き込むので、不要なデータを書き込むアクセスが発生せず、消費電力を低減でき、また、ローカルメモリ領域を効率的に使用することができる。

#### 【図面の簡単な説明】

【図1】トランSPORTストリーム・トランSPORTパケット・パケット識別子を説明する模式図である。

【図2】本発明の第1の実施の形態におけるトランSPORTストリーム処理装置の構成を示すブロック図である。

【図3】トランSPORTパケット処理回路21の具体的な構成を示すブロック図である。

【図4】トランSPORTパケット処理回路22の具体的な構成を示すブロック図である。

【図5】メモリコントローラ23の具体構成を示すブロック図である。

【図6】本発明の第2の実施の形態におけるトランSPORTストリーム処理装置の構成を示すブロック図である

【図7】セレクタ入出力とローカルメモリ出力を示すタイミング図である。

【図8】ローカルメモリマップを示す模式図である。

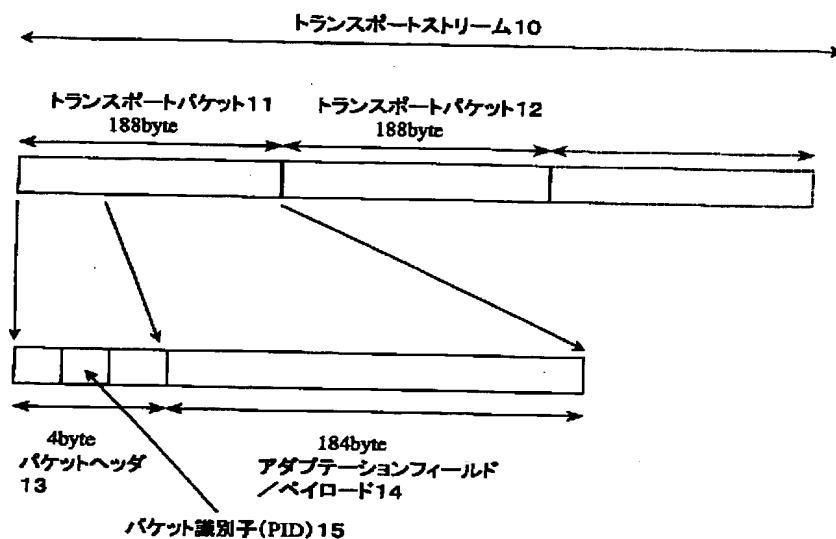
【図9】本発明の第3の実施の形態におけるトランSPORTストリーム処理装置の構成を示すブロック図である。

【図10】本発明の第4の実施の形態におけるトランSPORTストリーム処理装置の構成を示すブロック図である。

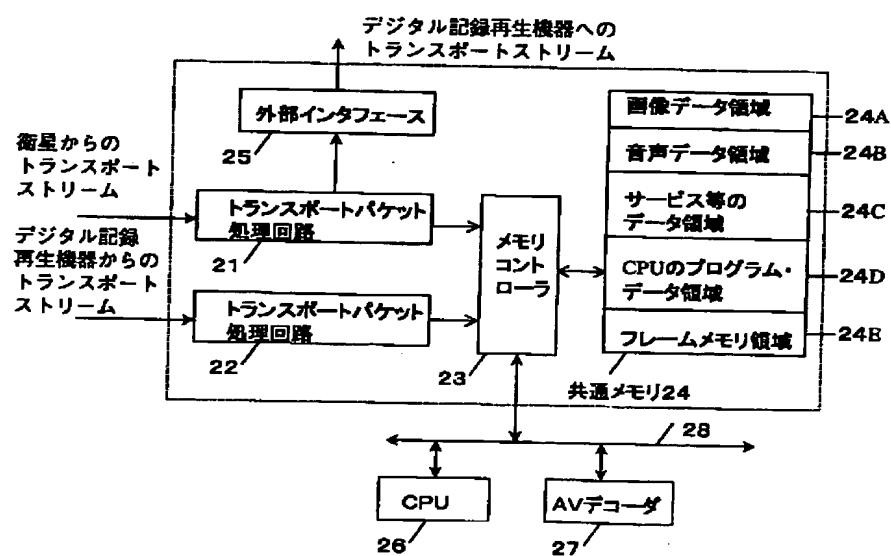
#### 【符号の説明】

- |             |                     |
|-------------|---------------------|
| 1 0         | トランSPORTストリーム       |
| 1 1, 1 2    | トランSPORTパケット        |
| 1 3         | パケットヘッダ             |
| 1 4         | アダプテーションフィールド/ペイロード |
| 1 5         | パケット識別子             |
| 1 0         | トランSPORTパケット処理回路    |
| 2 3         | メモリコントローラ           |
| 2 4         | 共通メモリ               |
| 2 5         | 外部インタフェース           |
| 2 6         | CPU                 |
| 2 7         | AVデコーダ              |
| 3 1         | パケット識別子テーブル         |
| 3 2         | パケット識別子比較回路         |
| 3 3         | 遅延回路                |
| 3 4, 3 5    | 選択回路                |
| 4 1         | パケット識別子テーブル         |
| 4 2         | パケット識別子比較回路         |
| 4 3         | 遅延回路                |
| 4 4         | 選択回路                |
| 5 1, 5 2    | バッファメモリ             |
| 5 3         | アビトレーション回路          |
| 5 4         | 選択回路                |
| 6 1~6 3     | バッファメモリ             |
| 6 4         | セレクタ                |
| 6 5         | ローカルメモリ             |
| 30          | トランSPORTパケット処理回路    |
| 6 7         | ローカルメモリコントローラ       |
| 6 8         | クロックコントローラ          |
| 8 1         | トランSPORTパケットAの領域    |
| 8 2         | トランSPORTパケットBの領域    |
| 8 3         | トランSPORTパケットCの領域    |
| 9 1~9 3     | PIDフィルタ             |
| 9 4~9 6     | バッファメモリ             |
| 9 7         | セレクタ                |
| 9 8         | ローカルメモリ             |
| 40          | トランSPORTパケット処理回路    |
| 9 9         | ローカルメモリコントローラ       |
| 9 B         | クロックコントローラ          |
| 1 0 1~1 0 3 | バッファメモリ             |
| 1 0 4       | セレクタ                |
| 1 0 5       | PIDフィルタ             |
| 1 0 6       | ローカルメモリ             |
| 1 0 7       | トランSPORTパケット処理回路    |
| 1 0 8       | ローカルメモリコントローラ       |
| 1 0 9       | クロックコントローラ          |

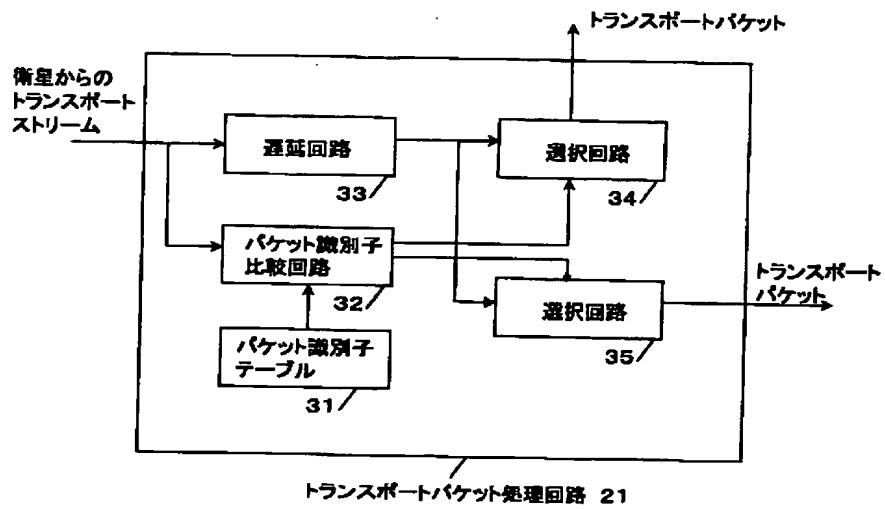
【図 1】



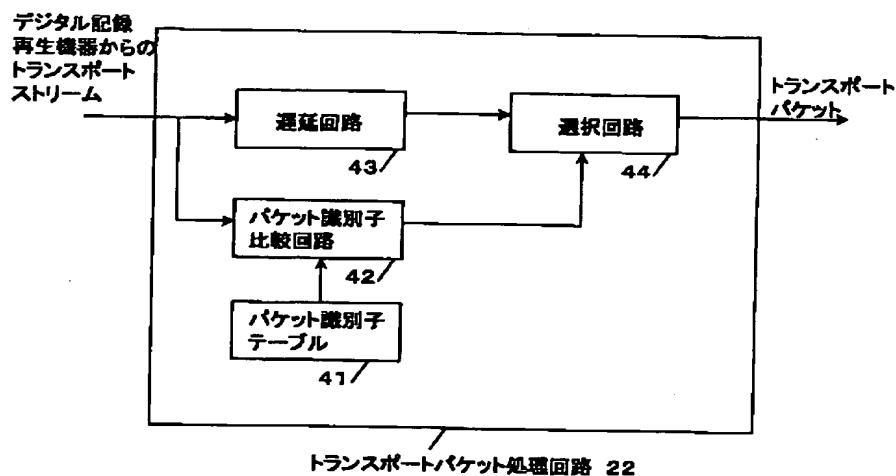
【図 2】



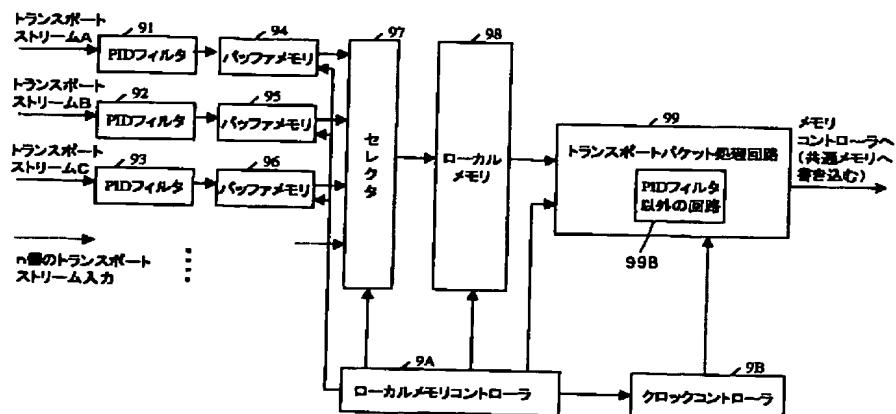
【図 3】



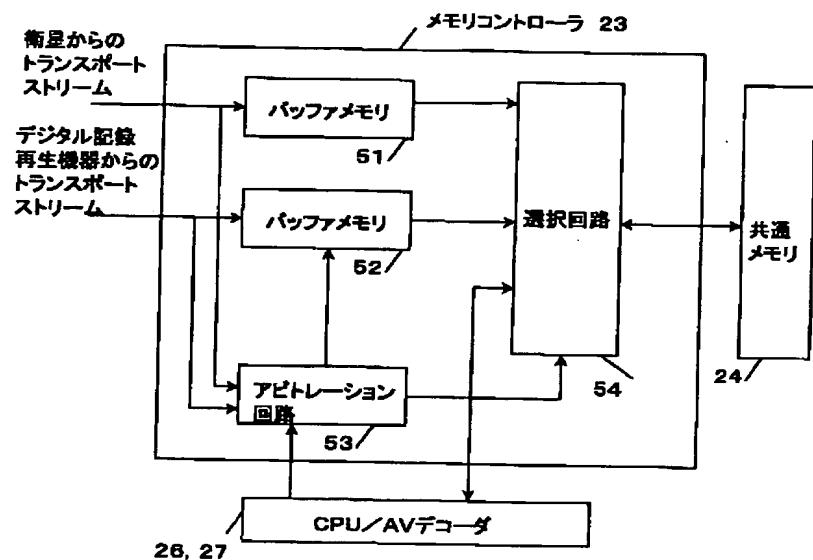
【図 4】



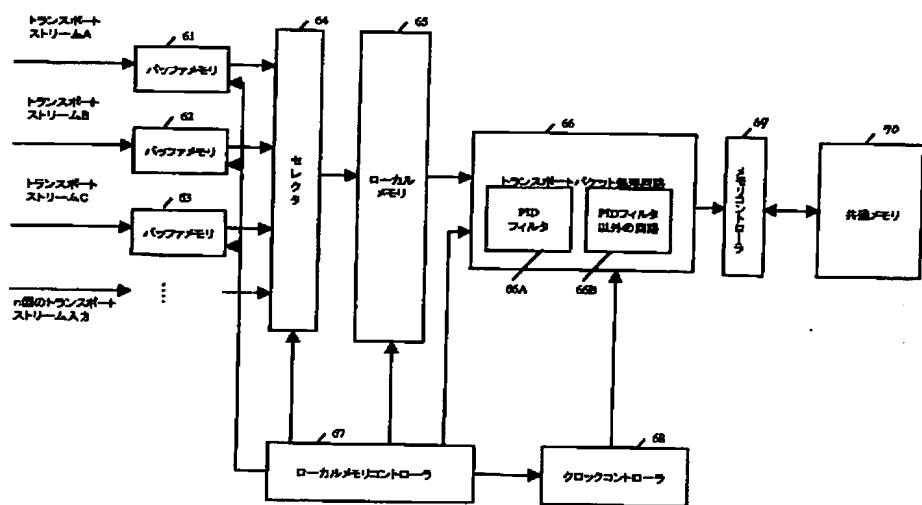
【図 9】



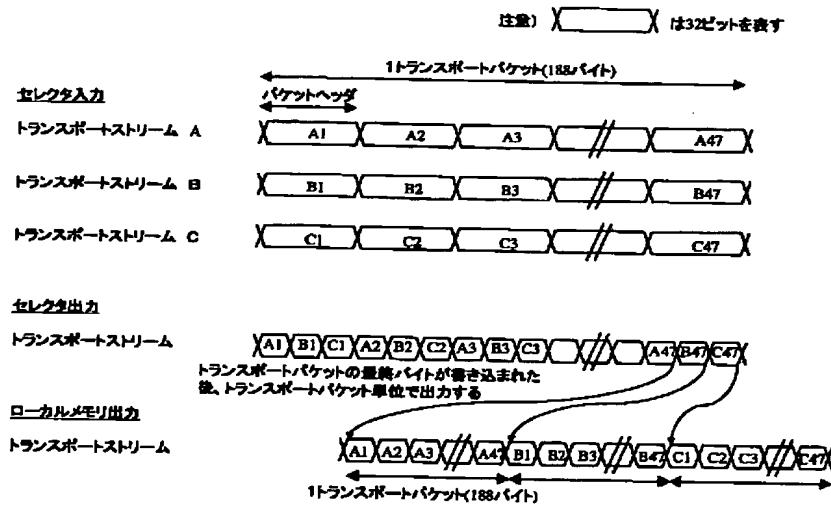
【図 5】



【図 6】

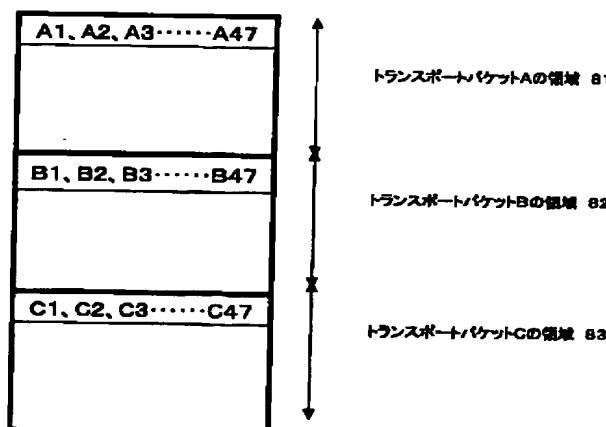


【図 7】

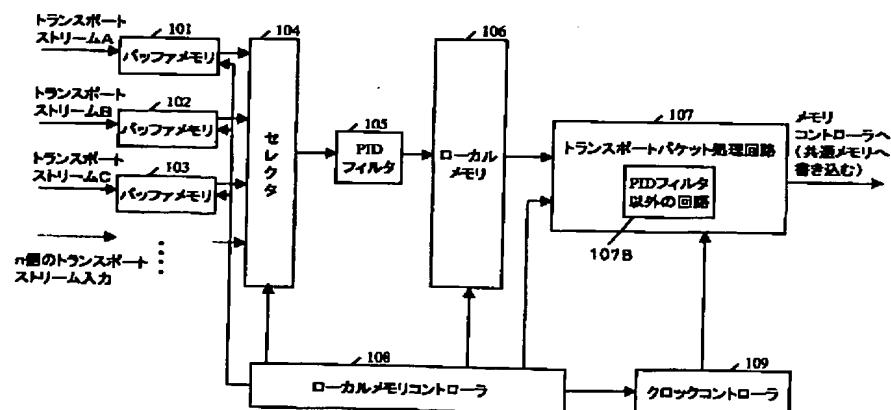


【図 8】

ローカルメモリマップ



【図 10】



フロントページの続き

(51) Int.Cl.	7	識別記号	F I	7/13	テーマコード	(参考)
		7/24			Z	
		7/16				